

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-242413

(43)Date of publication of application : 17.09.1996

(51)Int.Cl.

H04N 5/45

(21)Application number : 07-045663

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 06.03.1995

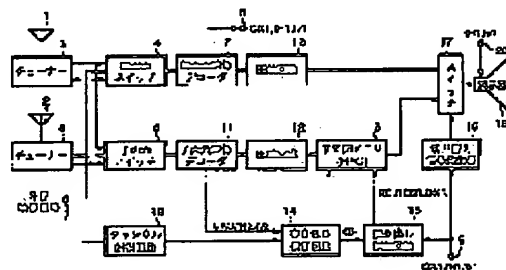
(72)Inventor : NISHIMURA ATSUSHI
YAMADA MASAHIRO

(54) MULTI-SCREEN TELEVISION RECEIVER

(57)Abstract:

PURPOSE: To improve the quality of an image on plural slave screens and to make a memory for slave screen processing to be inexpensive and advantageous in a manufacturing.

CONSTITUTION: A master screen video signal is decoded by a master screen decoder 7, compressed in horizontal and vertical directions by a compression circuit 10 and the compressed signal is fed to a switch 17, where plural channels are selected, then the plural slave screens obtained by the selection are decoded by a slave screen decoder 11 and compressed by a compression circuit 12 and the compressed signal is stored in a FIFO 13. A slave screen video signal read out of the FIFO 13 is fed to the switch 17. The switch 17 sets a master screen output period and a slave screen output period and a selected signal is fed to a display device 18.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-242413

(43) 公開日 平成8年(1996)9月17日

(51) Int.Cl.⁶

H 0 4 N 5/45

識別記号

庁内整理番号

F I

H 0 4 N 5/45

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 11 頁)

(21) 出願番号 特開平7-45663

(22) 出願日 平成7年(1995)3月6日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 西村 敦

埼玉県深谷市梶屋町1丁目9番2号 株式会社東芝深谷工場内

(72) 発明者 山田 雅弘

埼玉県深谷市梶屋町1丁目9番2号 株式会社東芝深谷工場内

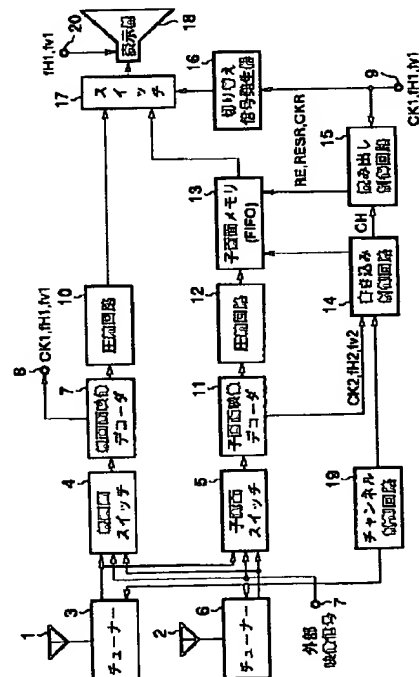
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 多画面テレビジョン受信機

(57) 【要約】

【目的】 複数の子画面の画像を良質なものとし、また、子画面処理のメモリを安価で製造上も有利なものとする。

【構成】 親画面映像信号は、親画面デコーダ7でデコードされて圧縮回路10で水平方向又は垂直方向へ圧縮されてスイッチ17に供給され、複数のチャンネルが切り替え選択されることにより得られた複数の子画面は、子画面デコーダ11でデコードされて圧縮回路12で圧縮され、FIFO13に格納される。FIFO13から読み出された子画面映像信号はスイッチ17に供給される。スイッチ17は親画面出力期間と子画面出力期間とを設定し、選択した信号を表示器18に供給する。



【特許請求の範囲】

【請求項1】映像信号を表示するための表示装置と、
Nチャンネルのテレビジョン放送を順次選局する選局手
段と、

前記選局されたNチャンネルのテレビジョン放送の映像
信号を圧縮する圧縮手段と、

前記圧縮手段により圧縮された映像情報をNチャンネル
分づつ、2つの領域に分けて書き込むための容量を持つ
先入れ先出し型メモリと、

前記映像信号をMチャンネル分づつラインインターリー
プで前記メモリに書き込む書き込む制御手段と、

前記メモリを読み出しを前記表示装置の同期信号に合わ
せて制御する読み出し制御手段と、

前記表示装置の水平同期信号の1周期の1/2以下の期
間に、前記表示装置に対して、前記先入れ先出し型メモ
リ側の出力を選択して与える切り換え手段と、

前記先入れ先出し型メモリ側の出力を選択する直前まで
に、前記先入れ先出し型メモリの読み出しアドレスを書
き込みをしていない側のアドレスの先頭まで進める手段
とを具備したことを特徴とする多画面テレビジョン受信
機。

【請求項2】映像信号を表示するための表示装置と、
Nチャンネルのテレビジョン放送を順次選局する選局手
段と、

前記選局されたNチャンネルのテレビジョン放送の映像
信号を圧縮する圧縮手段と、

前記圧縮手段により圧縮された映像情報をNチャンネル
分づつ、アドレスの低位側と高位側とにそれぞれ、書き
込むための容量を持つ先入れ先出し型メモリと、

Nチャンネルの映像信号を前記先入れ先出し型メモリの
前記アドレスの低位側と高位側のどちらかに書き込む書
き込み制御手段と、

前記先入れ先出し型メモリの読み出しを前記表示装置の
同期信号に合わせて制御する読み出し制御手段と、

前記表示装置の垂直同期信号の1周期の1/2以下の期
間に、前記表示装置に対して、前記先入れ先出し型メモ
リ側の出力を選択して与える切り換え手段と、

前記先入れ先出し型メモリ側の出力を選択する直前まで
に、前記先入れ先出し型メモリの読み出しアドレスを書
き込みをしていない側のアドレス先頭まで進める手段と
を具備したことを特徴とする多画面テレビジョン受信
機。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、1台のテレビジョン
受信機で複数のチャンネルの放送を同時に見ることがで
きるように表示する多画面テレビジョン受信機に関す
る。

【0002】

【従来の技術】近年、テレビジョン受信機はデジタル技

術の進歩により、1台のテレビジョン受信機で複数のチ
ャンネル映像を同時に表示できるようになってきた。従
来のテレビジョン受信機においては、図14(a)に表
示画面の例を示すように、親画面を水平方向に2分の1
に圧縮し、その残った部分に、ランダムアクセスメモリ
(RAM)を子画面メモリとして使用して、受信した複
数のテレビジョン信号または外部ビデオ信号の例えば9
個の子画面(A~I)を表示し、チャンネルサーチ画面
等として利用する機能を有したものが提案されている。

【0003】図13は、このような多画面表示機能を持
つテレビジョン受信機のブロック構成を示す図である。
ここでは、表示装置に画像を表示する際に基準となる同
期信号を有する映像信号を親画面映像とし、親画面は表
示画面の左側であるとする。また、チャンネルサーチ画
面は、親画面の同期信号に同期して出力されるので、子
画面とする。

【0004】アンテナ1には例えば衛星放送信号が誘起
する。また、アンテナ2に例えばUHFまたはVHF放
送の高周波映像信号が誘起する。アンテナ1、2に誘起
した信号のアスペクト比は4:3であるものとする。ア
ンテナ1に誘起した高周波映像信号は、チューナ3に供
給され、チューナ3では衛星放送の所定のチャンネルが
選局された後映像復調され、ベースバンドの映像信号と
なり、親画面スイッチ4及び子画面スイッチ5に供給さ
れる。アンテナ2に誘起した高周波映像信号は、チュー
ナ6によって選局され、所定のチャンネルの信号が第2
中間周波数に変換された後映像復調され、ベースバンド
の映像信号となり、親画面スイッチ4及び子画面スイ
ッチ5に供給される。また親画面スイッチ4及び子画面ス
イッチ5には外部映像入力端子7を介してベースバンド
の外部映像信号も供給することができる。

【0005】親画面スイッチ4は、親画面として表示す
るソースを選択し、子画面スイッチ5は子画面として表
示するソースを選択するものである。親画面スイッチ4
によって選択された映像信号は、親信号として親画面デ
コード7に供給される。以下、親画面スイッチ4はチュ
ーナ3の出力を選択し、子画面スイッチ5はチューナ6
の出力を選択しているものとする。

【0006】親画面映像デコード7は、入力された映像
信号から水平同期信号f_{h1}及び垂直同期信号f_{v1}を
分離すると共に、映像信号に同期した画素クロックCK
1を発生して出力端8を介して入力端9及び20に供給
している。また、親画面映像デコード7は、映像信号を
デコードして、色信号R、G、Bや、輝度信号Y、色差
信号R-Y、B-Y等のコンポーネント信号を再生す
る。これらのコンポーネント信号は、圧縮回路10に供
給され、ここで水平方向に1/2に圧縮される。これに
より、表示領域の水平方向の1/2(右側)に親画面映
像を表示できることになる。圧縮回路10の出力はスイ
ッチ17に与えられる。

【0007】一方、子画面スイッチ5によって選択された映像信号は、子画面信号として子画面映像デコーダ11に供給される。子画面映像デコーダ11は子画面信号をデコードして、色信号R、G、Bや、輝度信号Y、色差信号R-Y、B-Y等のコンポーネント信号を再生する。また子画面映像デコーダ11は、子画面の表示領域を示す水平同期信号fh2及び垂直同期信号fv2ならびに子画面信号に同期した画素クロックCK2を発生して書き込み制御回路1301に供給している。子画面デコーダ11からのコンポーネント信号は圧縮回路12に与えられる。

【0008】圧縮回路12では、複数の子画面（水平方向に3個）を画面の1/2（左側）の領域に表示させるために、それぞれのチャンネルの子画面映像を水平方向に1/6に圧縮する。また垂直方向に3個表示するので、垂直方向に1/3に子画面映像信号を圧縮する。そして圧縮回路12の出力はアドレス制御回路1305を通して子画面メモリ（RAM）1306に与えられる。アドレス制御回路1305は、RAM1306に対する映像の書き込みと読み出しのアドレス制御を行っている。

【0009】書き込み制御回路1301は、アドレス制御回路1305を制御して子画面の同期信号に同期して、圧縮回路12から圧縮された子画面映像がRAM1306に書き込まれるように制御している。このときRAM1306の領域は図14（b）のように分割されており、第1のチャンネルは領域A、第2のチャンネルは領域B…第9のチャンネルはIというようにチャンネル毎に別々の領域にそれぞれのチャンネルの映像が記憶される。

【0010】これらの制御は、書き込み制御回路1301と、チャンネル制御手段1302の連動によって行われる。チャンネル制御手段1302は、一定時間間隔でチューナ（今の例ではチューナ6）の選局チャンネルを変えてゆき、それに連動して、書き込み制御回路1301は、RAM1306の書き込み領域を領域A～Iに順に変えていく。領域Iまで書き込んだときはチャンネルを第1チャンネルに戻して以下くりかえす。

【0011】一方、読み出し制御回路1303は、入力端9を介してクロックCK1、水平及び垂直同期信号fh1、fv1が与えられており、アドレス制御回路1305を介してRAM1306の読み出し制御を行う。

【0012】この読み出し動作は、親画面の同期信号に同期して行われ、横方向に表示される情報を連続して読み出すため、1～3チャンネルの情報を同時に、あるいは4～6チャンネルの情報を同時に、あるいは7～9チャンネルの情報を同時に読み出すことになる。一方、切り換え信号発生器1304には、入力端9を介してクロックCK1、水平及び垂直同期信号fh1、fv1が与えられており、親画面の同期に合わせて切り換え信号を

スイッチ17に与える。スイッチ17では、親画面、子画面の信号を切り換え信号発生器1304からの信号に基づいて切り換えて、表示器18に供給する。表示器18では入力端20からの同期信号に基づき親画面と子画面の映像を合成して表示する。上記したような構成により親画面を表示しながら複数の子画面映像が、図14（a）に示したように9個の映像情報として表示できる。

【0013】

【発明が解決しようとする課題】しかしながら、上記のような構成では、RAM1306を子画面メモリに使用しているので、アドレス線が必要になり、回路が複雑になってしまう。さらに、9個の画面すべてを動画に近づけようとチャンネルの送りのスピードを早くすると画面が見づらくなる。それは読み出し中の映像記憶手段と書き込み中の映像記憶手段が同一であるため、書き換えられながら表示される部分の画像が動いていることになり、従って、9画面のうちのどれかが変化しているのので、動画位置の移動時間を早くすると、画面がちらついて見づらくなってしまふ。

【0014】そこでこの発明は、上記問題に鑑み、アドレス線が不要で、RAMより安価な先入れ先出し型メモリ（FIFO）を子画面メモリに使用し、チャンネルを早く切り換えても、ちらつきがなく、多画面すべてが動画の如く表示できるテレビジョン受信機を提供するものである。

【0015】

【課題を解決するための手段】上記問題を解決するために、FIFOを子画面メモリに使用することによりアドレス線を削減する。さらに、FIFOはRAMに比べ一般的に安価であるので、製造上有利である。しかもFIFOの容量を2画面分として、それら2つの領域に分割して書き込み、書き込みを行っていない領域を読み出すことにより、子画面に表示される多画面がすべて同じタイミングで変更されるように表示する。このとき、子画面の表示領域が表示装置の水平方向の1/2より小さい場合には、2つの領域をラインインターリーブで書き込み、読み出し開始位置を変更することで、表示領域を変更する。また、子画面の表示領域が、表示装置の垂直方向の1/2より小さい場合には、2つの領域をメモリの上位と下位に分けて書き込み、リセット信号もしくは読み出し期間の変更で表示領域を変更する。

【0016】A：具体的には、映像信号を表示するための表示装置と、Nチャンネルのテレビジョン放送を順次選局する選局手段と、前記選局されたNチャンネルのテレビジョン放送の映像信号を圧縮する圧縮手段と、前記圧縮手段により圧縮された映像情報をNチャンネル分づつ、2つの領域に分けて書き込むための容量を持つ先入れ先出し型メモリと、前記映像信号をMチャンネル分づつラインインターリーブで前記メモリに書き込む書き込

む制御手段と、前記メモリの読み出しを前記表示装置の同期信号に合わせて制御する読み出し制御手段と、前記表示装置の水平同期信号の1周期の $1/2$ 以下の期間に、前記表示装置に対して、前記先入れ先出し型メモリ側の出力を選択して与える切り換え手段と、前記先入れ先出し型メモリ側の出力を選択する直前までに、前記先入れ先出し型メモリの読み出しアドレスを書き込みをしていない側のアドレスの先頭まで進める手段とを備える。

【0017】B：また、映像信号を表示するための表示装置と、Nチャンネルのテレビジョン放送を順次選局する選局手段と、前記選局されたNチャンネルのテレビジョン放送の映像信号を圧縮する圧縮手段と、前記圧縮手段により圧縮された映像情報をNチャンネル分づつ、アドレスの低位側と高位側とにそれぞれ、書き込むための容量を持つ先入れ先出し型メモリと、Nチャンネルの映像信号を前記先入れ先出し型メモリの前記アドレスの低位側と高位側のどちらかに書き込む書き込み制御手段と、前記先入れ先出し型メモリメモリの読み出しを前記表示装置の同期信号に合わせて制御する読み出し制御手段と、前記表示装置の垂直同期信号の1周期の $1/2$ 以下の期間に、前記表示装置に対して、前記先入れ先出し型メモリ側の出力を選択して与える切り換え手段と、前記先入れ先出し型メモリ側の出力を選択する直前までに、前記先入れ先出し型メモリの読み出しアドレスを書き込みをしていない側のアドレス先頭まで進める手段とを備える。

【0018】

【作用】この発明により、子画面メモリとして先入れ先出し型メモリを使用することで、配線数を削減できる。上記Aの手段により子画面を表示装置の水平方向の大きさの $1/2$ より小さく表示する場合に、チャンネル変更のスピードを早くしていった場合でも、N画面表示される子画面がちらつかずにN画面全体が動画に近い状態で表示される。また上記Bの手段により子画面を表示装置の垂直方向の大きさの $1/2$ より小さく表示する場合に、チャンネル変更のスピードを早くしていった場合でも、N画面表示される子画面がちらつかずにN画面全体が動画に近い状態で表示される。

【0019】

【実施例】以下、この発明の実施例を図面を参照して説明する。図1は、この発明に係る多画面テレビジョン受信機の一実施例を示すブロック図である。図1において、図13と同一部分には同一符号を付してある。また、多画面の表示方法は例えば図2に示すように、親画面を水平方向に $1/2$ に圧縮して画面に向かって左に表示し、子画面である多画面を9個右側に表示する場合について説明する。

【0020】アンテナ1には例えば衛星放送信号が誘起する。また、アンテナ2には例えばUHFまたはVHF

放送の高周波映像信号が誘起する。アンテナ1、2に誘起した信号のアスペクト比は例えば4:3であるものとする。アンテナ1に誘起した高周波映像信号はチューナ3に供給され、チューナ3では衛星放送信号の所定のチャンネルが選局された後映像復調され、復調されたベースバンドの映像信号は親画面スイッチ4及び子画面スイッチ5に供給される。アンテナ2に誘起した高周波映像信号はチューナ6によって選局され、所定のチャンネルの信号が第2中間周波数に変換された後復調され、復調されたベースバンドの映像信号が親画面スイッチ4及び子画面スイッチ5に供給される。また親画面スイッチ4及び子画面スイッチ5には外部映像入力端子7を介してベースバンドの外部映像信号を供給することもできる。

【0021】親画面スイッチ4は親画面として表示するソースを選択し、子画面スイッチ5は子画面として表示するソースを選択するものである。親画面のスイッチ4によって選択された映像信号は親信号として親画面デコーダ7に供給される。以下、親画面スイッチ4はチューナ3の出力を選択し、子画面スイッチ5はチューナ6の出力を選択しているものとして説明する。

【0022】親画面映像デコーダ7は、チューナ3により選局され復調された映像信号から水平同期信号fh1及び垂直同期信号fv1を分離すると共に、映像信号に同期した画素クロックCK1を発生して出力端8を介して入力端9及び20に供給している。また、親画面映像デコーダ7は映像信号をデコードして、色信号R、G、Bや、輝度信号Y、色差信号R-Y、B-Y等のコンポーネント信号を再生する。これらのコンポーネント信号は圧縮回路10に供給される。

【0023】圧縮回路10では親信号を水平方向に $1/2$ に圧縮する。圧縮回路10の出力は、スイッチ17に与えられる。一方、子画面スイッチ5によって選択されたチューナ6により選局され復調された映像信号は、子画面信号として子画面映像デコーダ11に供給される。子画面映像デコーダ11は、子画面信号をデコードして、色信号R、G、Bや、輝度信号Y、色差信号R-Y、B-Y等のコンポーネント信号を再生する。また子画面映像デコーダ11は、子画面の表示領域を示す水平同期信号fh2及び垂直同期信号fv2ならびに子画面信号に同期した画素クロックCK2を発生して書き込み制御回路14に与える。子画面デコーダから出力されたコンポーネント信号は圧縮回路12に供給される。

【0024】圧縮回路12では、複数の子画面を画面全体の $1/2$ の領域に表示させるので、子画面を水平方向に3画面表示するには、各チャンネルの子画面映像をそれぞれ水平方向に $1/6$ に圧縮する。また、垂直方向に3個表示するので、子画面映像信号を垂直方向に $1/3$ に圧縮する。そして圧縮回路12の出力はFIFO13に供給される。

【0025】FIFO13は、書き込みと読み出しを非

同期で行え、書き込み時はデータの変更を行わずに、アドレスポインタのみ進めることが可能で、所定のアドレスまで書き込みアドレスを移動できる。また、FIFOは一般的にRAMに比べ安価で、アドレス線が不要なため、配線を少なく出来るので製造上有利である。

【0026】書き込み制御回路14は、FIFO13にライトクロック信号、ライトイネーブル信号、インプットイネーブル信号、チップセレクト信号等の制御信号を与えて、圧縮回路12からの子画面用の映像信号の書き込みを制御する。また表示領域変更信号CHを読み出し制御回路15に与える。

【0027】読み出し制御回路15は、入力端9を介してクロックCK1、水平及び垂直同期信号fh1、fv1が与えられており、FIFO13にリードイネーブル信号RE、リードクロックCKR及びリードリセット信号RESRを与えてFIFO13からの映像読み出しを制御する。

【0028】FIFO13から読み出されたデータは、スイッチ17に供給される。スイッチ17は、切り替え信号発生器16からの信号に基づき入力された親画面信号と子画面信号のどちらかを選択して表示器18に与える。表示器18は入力端20から入力される同期信号に基づき、合成された映像信号を表示する。切り換え信号発生器16は入力端9から入力されたクロックCK1、水平及び垂直同期信号fh1、fv1に基づき、表示器18の左側に親画面、右側に子画面を表示するように、その切り換え信号をスイッチ17に与える。

【0029】チャンネル制御回路19は、チューナ3及びチューナ6を制御してチャンネルの切り換えを行う。また書き込み制御回路14に対して各チャンネルに対応して書き込み領域の指示を行う。

【0030】以下に、FIFO13の書き込み動作について説明する。図3は、FIFO13の領域の分割状況を示している。第1のチャンネルは領域AまたはA'、第2のチャンネルは領域BまたはB'、第9のチャンネルはIまたはI'というようにチャンネル毎に別々の領域にそれぞれのチャンネルの映像が記憶されている。

【0031】FIFO13の書き込み制御は、書き込み制御回路14と、チャンネル制御回路19の連動によって行われる。チャンネル制御回路19は、一定時間間隔でチューナ6の選局チャンネルを1、2、3...と変えてゆき、それに連動して、書き込み制御回路14は、FIFO13の書き込みアドレスをA、B、C...のように順に変えていく。領域Iまで書き込んだ後は、チャンネル1、2、3、...と変えてゆき、それに連動して、書き込み制御回路13は、子画面メモリの書き込みアドレスをA'、B'、C'...のように順に変えていく。領域I'まで書き込んだ後は、再びチャンネルに1に戻り、Aに書き込み以下同様にくりかえす。この例では、チューナ6は、子画面メモリに与える各チャンネルの映像信号を

順次選択復調している。

【0032】次に、図4を参照して、ライン単位でのメモリの状態の説明をする。図4に示すようにチャンネル1の1ライン分のデータA1を書き込んでから、5ライン分のデータ量に相当するまでアドレス書き込みを行わずにアドレスポインタを進めてからチャンネル1の次の1ライン分のデータA2を書き込む。このように横方向に表示する子画面の画面数の2倍のライン分のデータ毎に書き込みをする。つまりここでは図2に示すように個画面を横方向に3個表示するので6ライン分のデータ毎に書き込みをする。また、チャンネル2を領域Bに書き込むためには、第1ラインのデータを書き込む前にアドレスポインタを1ライン分のデータに相当するアドレスまで進めておき、B1からデータを書き込み始め、以下領域Aを書き込む時と同様に6ライン分のデータ毎に書き込みを行う。これを繰り返すことにより、図4のようにFIFO13にデータを書き込む。ここで、メモリ領域AからIを領域aとし、メモリ領域A'からI'を領域bとし、領域aの1ライン分のデータa1、a2、...と、領域bの1ライン分のデータb1、b2、...とは、FIFO13に交互に書き込まれている。つまり領域aとbのデータは、ラインインターリーブで書き込まれている。このように書き込むことで、図3のような書き込み領域に区分することができる。

【0033】また、書き込み制御回路14は、FIFO13の領域A~Iを書き込んでいる期間は表示位置変更信号CHをローレベルにし、A'からI'を書き込んでいる期間は、表示位置変更信号CHをハイレベルにする。

【0034】一方、読み出し制御回路15は、表示器18に与えられる同期信号に同期してFIFO13のデータを読み出す。このとき、横方向に表示される情報は、連続して読み出されるため、1~3、1'~3'のチャンネルの情報を同時に、あるいは4~6、4'~6'のチャンネルの情報を同時に、あるいは7~9、7'~9'のチャンネルの情報が同時に読み出されることになる。

【0035】図5には、読み出し制御回路15のさらに詳細なブロック図を示している。入力端子513よりクロックCK1、垂直同期信号fv1、水平同期信号fH1が入力される。クロックCK1は、信号線513aを通してHカウンタ507に与えられる。またクロックCK1は、信号線513eを通してリードクロックCKRとして出力端子515に与えられる。垂直同期信号fv1は、信号線513dを通してVカウンタ501に与えられる。また垂直同期信号fv1は、信号線513dを通してリードリセット信号RESRとして出力端子515に与えられる。水平同期信号fH1は、信号線513b及び513cをそれぞれ通してHカウンタ507及びVカウンタ501に与えられる。一方、入力端子514

からは、読み出し領域変更信号CHが入力され、論理積回路519に与えられる。

【0036】上記Vカウンタ501は、水平同期信号fH1つまりライン数をカウントし、垂直同期信号fv1により初期化される。Vカウンタ501の出力は、比較器502及び比較器503に与えられる。比較器502では読み出し開始ラインの値504と、Vカウンタ501の出力値とが比較され、一致した場合には、出力信号を1H期間ローレベルにする。また比較器503では読み出し終わりラインの値505と、Vカウンタ501の出力値とが比較され、一致した場合には、出力信号を1H期間ローレベルにする。従って、RSフリップフロップ506の出力は、読み出し指定される垂直方向の期間をハイレベルとして出力される。

【0037】一方、Hカウンタ507は、クロックCK1をカウントし水平同期信号fH1により初期化される。Hカウンタ507の出力は、比較器508及び比較器509に与えられる。比較器508では、読み出し開始位置AまたはBの値と、Hカウンタ507の出力値とが比較され、一致した場合には、出力信号をローレベルにする。また比較器509では、読み出し終わり位置の値510と、Hカウンタ507の出力値とが比較され、一致した場合には、出力信号をローレベルにする。従って、RSフリップフロップ511の出力は、読み出し指定される水平方向の期間をハイレベルとして出力される。

【0038】論理積回路512によりRSフリップフロップ506の出力とRSフリップフロップ511の出力の論理積を取り、リードイネーブル信号REとして出力端子515から出力する。リードイネーブルREが出力された期間のみリードクロックCKRに同期してリードアドレスが進みデータが読み出される。

【0039】また、比較器508に与えられる値は、スイッチ518により切り換えられる。比較器502の出力の反転値と、表示領域変更信号CHの論理積を論理積回路519により求め、論理積回路519の出力レベルにより切り換えている。つまりVカウンタ501が、読み出し開始ラインに一致し、且つ表示領域変更信号CHがハイレベルの時のみ読み出し開始位置Bを比較器508に与えている。ここで、読み出し開始位置Bは、読み出し開始位置Aと読み出し終わり位置の midpoint となるように設定し、読み出し開始位置Bを選択した場合の読み出されるデータ数は、読み出し開始位置Aを選択した場合の読み出しデータの1/2になるように設定されている。

【0040】図6を参照してFIFO13の読み出し動作説明をする。ここで、a1、b1…は、図4と一致している。表示領域変更信号CHがローレベルのときは、読み出し開始ラインの読み出し開始位置がAになり、図6(a)に示すように領域aの最初のラインのデータa

1を左端から読み出し始め、続いて領域bの最初のラインのデータb1を読み出す。以下のラインも同様に読み出し、結局画面左側に領域aのデータが読み出され、右側に領域bのデータが読み出される。

【0041】一方、A'～I'に書き込みをしているときは、読み出し表示領域変更信号CHがハイレベルになり、読み出し開始ラインのみ読み出し開始位置が変更され、読み出し開始位置Bになる。このときは、図6

(b)のように図6(a)ではb1が読み出されていた位置にa1を読み出すようになる。すると読み出されるデータはシフトして、左側に領域bのデータが読み出され、右側に領域aのデータが読み出されることになる。従って、読み出し領域変更信号はA'からI'に書き込みをしているときは、読み出し開始ラインでは読み出し開始位置はBになる。

【0042】また、読み出したデータは、スイッチで選択されて表示装置に与えられるので、画面左側は親画面、右側は子画面を選択して表示するので、表示器18にはメモリ領域aまたはbのどちらか一方が表示されることになる。

【0043】以上説明したように、この実施例によれば9チャンネルの画像の読み出しは、書き込みをしていない領域を表示するため、書き換え動作により生ずる画面のちらつきがなくなり、9画面が同時に変化する準動画で表示することができる。

【0044】また、子画面の表示位置は、図7に示すように表示装置の水平期間の1周期の1/2以下で表示できれば、上記以外でもよく、また、垂直方向の大きさも上記以外でもよい。また、表示器18のアスペクト比や親画面の圧縮率も上記以外でもよく、親画面を表示せずに他の映像を表示してもよい。また、子画面を親画面の一部に重ねて表示してもよい。また、読み出し位置の制御をプロセッサ等を使用して制御している場合は、そのソフトウェアの設定値を変更することによっても実現できる。

【0045】図8は、さらにこの発明の他の実施例を示す。図1と同様の動作をするものは同じ符号を付し、説明を省略する。この実施例では、書き込み制御回路、チャンネル制御回路、読み出し制御回路、切り替え信号発生器の動作が上記の実施例と若干異なるので、各回路に801、802、103、804というふうに異なる符号を付している。

【0046】上記の装置の動作を説明する。図9

(a)、(c)のように表示器18の上側に親画面を表示し、下側に8個の子画面表示する動作について説明する。親画面映像デコーダ7からの親画面映像は圧縮回路10に与えられ、親画面を垂直方向に1/2に圧縮し、その出力はスイッチ17に与えられる。

【0047】一方、子画面デコーダ11からの子画面映像信号は、圧縮回路10で水平方向に1/4に圧縮、垂

直に1/4圧縮される。圧縮回路10の出力は子画面メモリ13に与えられる。

【0048】書き込み制御回路801は、FIFO13にライトクロック信号、ライトイネーブル信号、インプットイネーブル信号、チップセレクト信号等の制御信号を与えて、圧縮回路12からの子画面用の映像信号が子画面メモリ(FIFO)13に書き込まれるのを制御する。

【0049】読み出し制御回路803は、入力端9を介してクロックCK1、水平及び垂直同期信号fh1、fv1が与えられており、FIFO13にリードクロックCKR、リードイネーブル信号RE、リードリセット信号RESRの制御信号を与えてデータの読み出しを制御する。

【0050】FIFO13から読み出されたデータは、スイッチ17に与えられる。スイッチ17は、切り換え信号発生器804からの信号に基づき、入力された親画面信号と子画面信号のどちらかを選択して表示器18に与える。表示器18は入力端20に入力された同期信号に基づき合成映像信号を表示する。切り換え信号発生器804は入力端子9から入力されたクロックCK1、水平及び垂直同期信号fh1、fv1に基づき、表示器18の上側に親画面、下側に子画面を表示するように切り換え信号をスイッチ17に与える。チャンネル制御回路802は、チューナ3及びチューナ6を制御してチャンネルの切り換えを行う。また書き込み制御回路801に書き込み領域の指示を行う。

【0051】以下、FIFO13の書き込み動作について説明する。図10は、FIFO13の領域が分割された様子を示しており、第1のチャンネルは領域AまたはA'、第2のチャンネルは領域BまたはB'...、第8のチャンネルHまたはH'というようにチャンネル毎に別々の領域にそれぞれのチャンネルの映像が記憶されている。

【0052】これらの制御は書き込み制御回路801と、チャンネル制御回路802の連動によって行われる。チャンネル制御回路802は、一定時間間隔でチューナ6のチャンネルを1、2、3...と変えてゆき、それに連動して、書き込み制御回路801は、FIFO13の書き込み領域をA、B、C...のように順に変えていき、領域Hまで書き込んだときは、今度はチャンネルを1、2、3、...と変えてゆき、それに連動して、今度は書き込み制御回路801は、FIFO13の書き込み領域をA'、B'、C'...のように順に変えていく。領域H'まで書き込んだときは、再びチャンネル1に戻して、Aに書き込み、以下同様にくりかえす。ここで、図11に示すようにAからHのデータは、メモリアドレスの上位に書き込まれ、A'~H'のデータはメモリアドレスの下位に書き込まれる。

【0053】図11でA1は領域Aに書き込まれる1チ

ャンネルの子画面の第1ラインの1ライン分のデータを示し、a1はFIFO13から読み出される第1ライン上に出力されるデータを示す。このように書き込み制御することで、図9(b)のような領域に区分してデータを書き込むことができる。

【0054】また、表示領域変更信号CHは読み出し制御回路803に与えられる。読み出し領域変更信号CHは下位領域であるA'~H'に書き込んでいるときハイレベルとなり、それ以外ではローレベルとなる。

【0055】一方、読み出し制御回路803は、FIFO13からのデータの読み出しを表示器18に与えられる同期信号に同期して行い、横方向に表示される情報を連続して読み出すため、1~4チャンネルの情報を同時に、あるいは5~8チャンネルの情報を同時に、あるいは1'~4'チャンネルの情報を同時に、あるいは5'~8'チャンネルを同時に読み出すことになる。

【0056】以下、読み出し制御回路803の動作について説明する。リードリセット信号RESRを出力することにより、リードアドレスは最下位に戻る。またリードイネーブルREは、この信号が出力された期間のみリードクロックCKRに同期してリードアドレスが進みデータが出力される。

【0057】図12は、上記読み出し制御回路803のさらに詳細なブロック図を示している。入力端子1017からクロックCK1、垂直同期信号fv1、水平同期信号fH1が入力される。クロックCK1は、信号線1017aを通してHカウンタ1006に供給される。またクロックCK1は、リードクロックCKRとして出力端子1019にも出力される。垂直同期信号fv1は、信号線1017dを通してVカウンタ1001に供給される。また垂直同期信号fv1は、論理和回路1016にも与えられる。水平同期信号fH1は、信号線1017b及び1017cをそれぞれ通してHカウンタ1006及びVカウンタ1001に供給される。一方、入力端子1018からは表示領域変更信号CHが入力され、論理和回路1015に与えられている。

【0058】Vカウンタ1001は、水平同期信号fH1つまりライン数をカウントし、垂直同期信号fv1により初期化される。Vカウンタ1001の出力は比較器1002及び比較器1003及び比較器1004に与えられる。比較器1002では読み出し開始ラインの値1020とVカウンタ1001の値とが比較され、一致した場合に、出力信号をローレベルにする。また比較器1003では読み出し終わりラインの値1021とVカウンタ1001の値とが比較され、一致した場合に、出力信号をローレベルにする。従って、RSフリップフロップ1005の出力は、読み出し指定された垂直方向の期間でハイレベルとなる。比較器1004ではリセットラインの値1022とVカウンタ1001の値とが比較され、リセット信号を出力する垂直位置を設定する。

【0059】一方、Hカウンタ1006は、親画面のクロックCK1をカウントし水平同期信号fH1により初期化される。Hカウンタ1006の出力は、比較器1007及び比較器1008に比較器1009及び比較器1010に供給される。比較器1007では読み出し開始位置AとHカウンタ1006の値とが比較され、一致した場合に、出力信号をローレベルにする。また比較器1008では読み出し終わり位置1024とHカウンタ1006の値とが比較され、一致した場合に、出力信号をローレベルにする。従って、RSフリップフロップ1011の出力は読み出し指定された水平方向の期間でハイレベルとなる。比較器1009ではリセット開始位置1025とHカウンタ1006の値が比較され、比較器1010ではリセット終わり位置1026とHカウンタ1006の値が比較される。これによりRSフリップフロップ1012の出力は、Hカウンタ1006の値がリセット開始位置からリセット終わり位置の間にハイレベルとして出力される。

【0060】RSフリップフロップ1005の出力とRSフリップフロップ1011の出力の論理積を論理積回路1013により求めることにより、リードイネーブル信号REを得ている。論理積回路1013の出力は、リードイネーブル信号REとして出力端子1019に出力される。

【0061】また、論理積回路1014の出力は、リセット出力ラインで且つ水平方向のHカウンタ1006の値がリセット開始とリセット終わりの期間にハイレベルとなる。論理積回路1015の出力は、論理積回路1014の出力がハイレベルかつ表示領域変更信号CHがハイレベルのとき出力される。論理積回路1015の出力は論理和回路1016に与えられ、ここで垂直同期信号fv1の反転信号と論理和がとられ、メモリ読み出しリセット信号RESRとして出力端子1019から出力される。従って、メモリ読み出しリセット信号RESRは、垂直同期信号fv1が入力されたときは毎回出力され、論理積回路1014がハイレベルのリセット出力期間の出力は、表示領域変更信号CHのレベルにより、リセット信号RESRとしてメモリに出力されるか否かが選択される。

【0062】図9を参照して、読み出し動作を説明する。メモリの上位領域にA～H、下位領域にA'～H'のデータが書き込まれているものとする。表示装置の下側にA'～H'を表示する場合には、データの読み出しを図9(b)に示す位置から開始し、ちょうど下位領域のみ表示されるように読み出す。このときリードリセットは図9(a)中の矢印の位置で出力し、読み出しを開始する直前にアドレスが最下位になるようにする。このことによりアドレスを読み出す直前までに表示したいアドレスまで進めることができる。

【0063】一方、上位領域A～Hを表示するには、図

9(b)のときと同様に読み出し範囲を設定し、図9(c)の矢印のタイミングでHを読み出し終わってから次に読み出しを開始するまでの期間に再度リセットを出力する。このときの読み出されるデータの様子を図9(d)に示した。このときは上位領域を2度読み出すことになる。

【0064】このようにFIFO13から読み出されて、表示される範囲をメモリアドレスの下位と上位を変更するには、読み出し範囲を変更せずリセット信号のタイミングを変更するだけでよい。

【0065】また、表示範囲は上記の場合に限らず、図9(e)、図9(f)に示すように表示領域を変更することでも対応できる。これは、読み出し始めを図9

(b)と図9(f)のように変更することで表示領域を変更できる。またこの他、表示範囲は表示範囲以外の期間で上位領域を読み出させて表示開始までに下位領域にアドレスを進めることができる表示範囲であればよい。

図10にその一例を示す。図10(a)、図10(c)は表示位置及びリセットリードの出力位置を示し、図10(b)、図10(d)は前記のそれぞれの場合のメモリの領域の様子を示した。このように垂直方向の読み出し範囲を2ヶ所設定し、表示範囲の読み出し直後にリードセットを出力し、さらに表示範囲直前でリードリセットを出力するか否かで、表示領域を指定できる。

【0066】そして、上記の読み出し領域の変更は書き込みをしていない領域を読み出すように制御する。また、表示装置のアスペクト比、画面数、親画面及び子画面の圧縮率、表示位置は上記以外でもよく、読み出し位置制御やリセットリードをプロセッサ等を使用して制御している場合は、そのソフトウェアの設定値を変更することによっても実現できる。以上のようにこの実施例によれば8チャンネルの画像の読み出しは、書き込みをしていない領域を表示するため、書き換え動作により生ずる画面のちらつきがなくなり、多画面が同時に変化する準動画で表示することができる。なお表示器は一体に組み込まれる必要はなく、表示装置として別体であってもよい。

【0067】

【発明の効果】以上説明したように、この発明によれば、N個の複数の子画面を同時に表示器に表示する場合、N個の子画面はすべて同じタイミングで更新される。このため従来問題となっていた画面の一部が常に動画で且つ移動しているので、チャンネル変更のスピードを早くしていった場合に画面がちらつくということがなくなり、見やすい画面となった。さらに子画面用メモリFIFOを使用しているので、RAMを用いる場合より、安価で、しかもアドレス線も不要なため製造上有利である。

【図面の簡単な説明】

【図1】この発明の一実施例における多画面テレビジ

ン受信機を示すブロック図。

【図2】上記多画面テレビジョン受信機の表示画面の一例を示す図。

【図3】上記多画面テレビジョン受信機の映像メモリの動作を説明するための説明図。

【図4】上記映像メモリのアドレスを説明するための説明図。

【図5】上記映像メモリに対する読み出し制御回路を示すブロック図。

【図6】上記映像メモリの読み出し動作を説明するための概念図。

【図7】上記多画面テレビジョン受信機の表示画面の他の例を示す図。

【図8】この発明の第2の実施例における多画面テレビジョン受信機を示すブロック図。

【図9】上記第2の実施例の映像メモリの動作を説明するための説明図。

【図10】上記第2の実施例の映像メモリに対するデー

タ読み出し動作を説明するための概念図。

【図11】上記第2の実施例の映像メモリのアドレスを説明するための説明図。

【図12】上記第2の実施例の映像メモリに対する読み出し制御回路を示すブロック図。

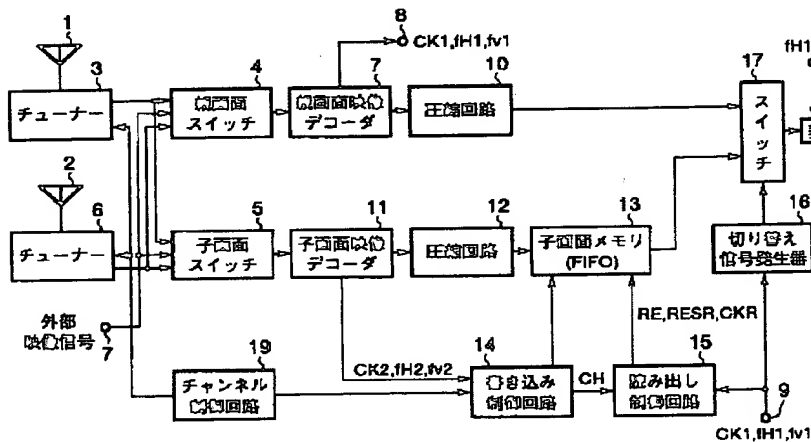
【図13】従来の多画面テレビジョン受信機を示すブロック図。

【図14】従来の多画面テレビジョン受信機のメモリの動作を説明するための説明図。

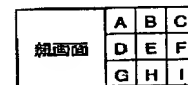
【符号の説明】

1、2…アンテナ、3…チューナ、4…親画面スイッチ、5…子画面スイッチ、6…チューナ、7…外部映像入力端子、10…圧縮回路、11…子画面映像デコーダ、12…圧縮回路、13…子画面メモリ、14…書き込み制御回路、15…読み出し制御回路、16…切り替え信号発生器、17…スイッチ、18…表示器、19…チャンネル制御回路。

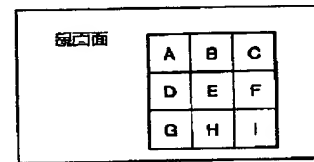
【図1】



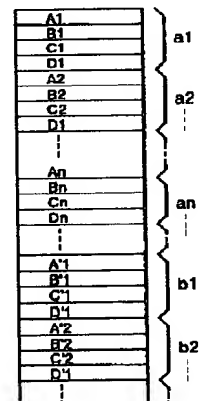
【図2】



【図7】



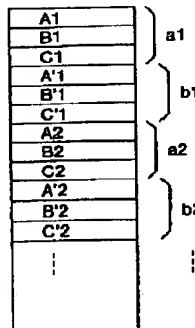
【図11】



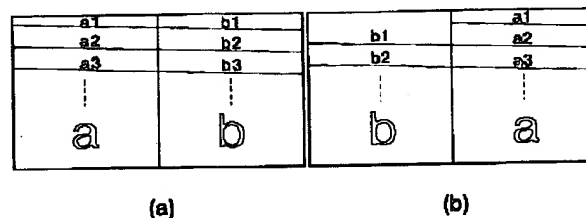
【図3】



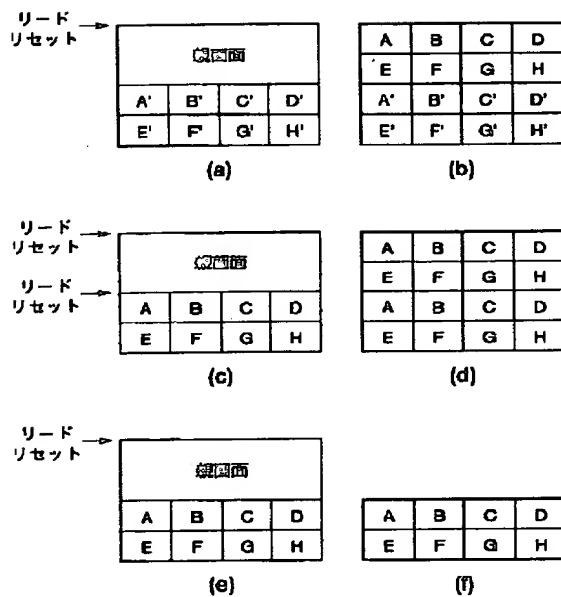
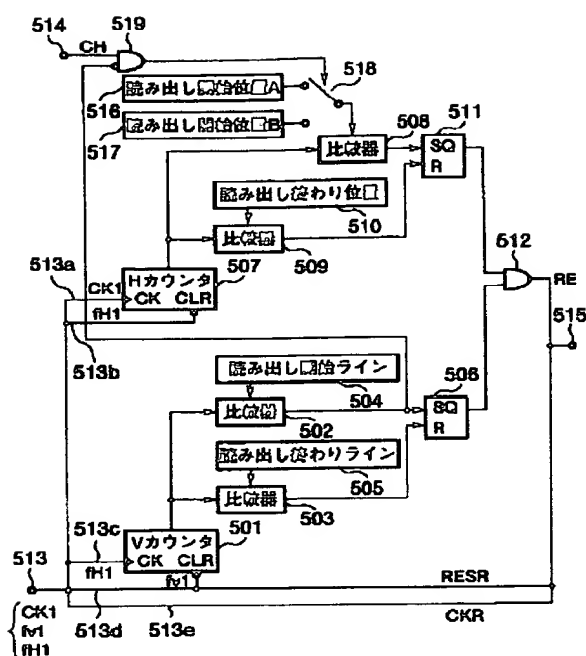
【図4】



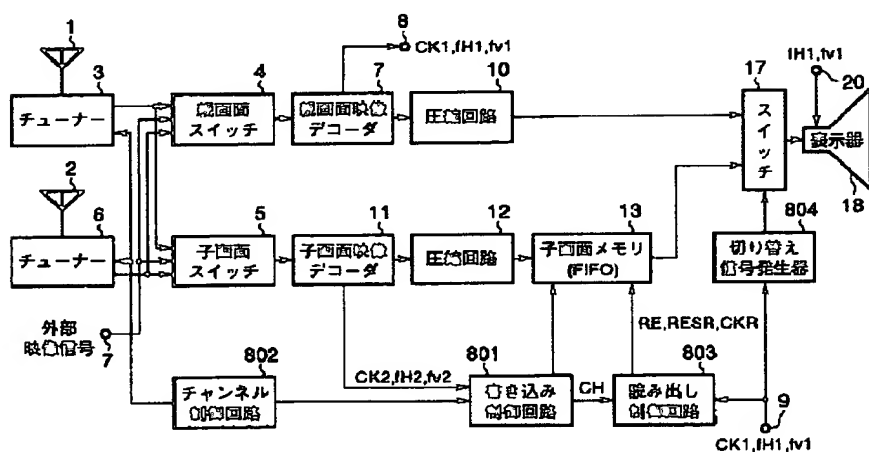
【図6】



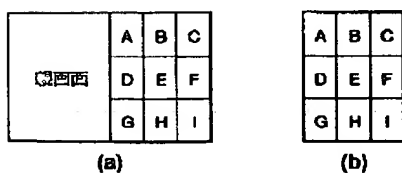
【图 9】



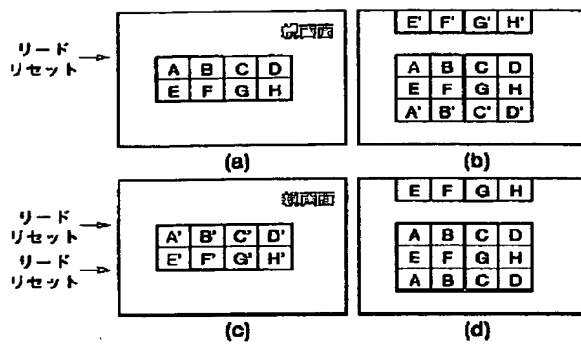
【图 8】



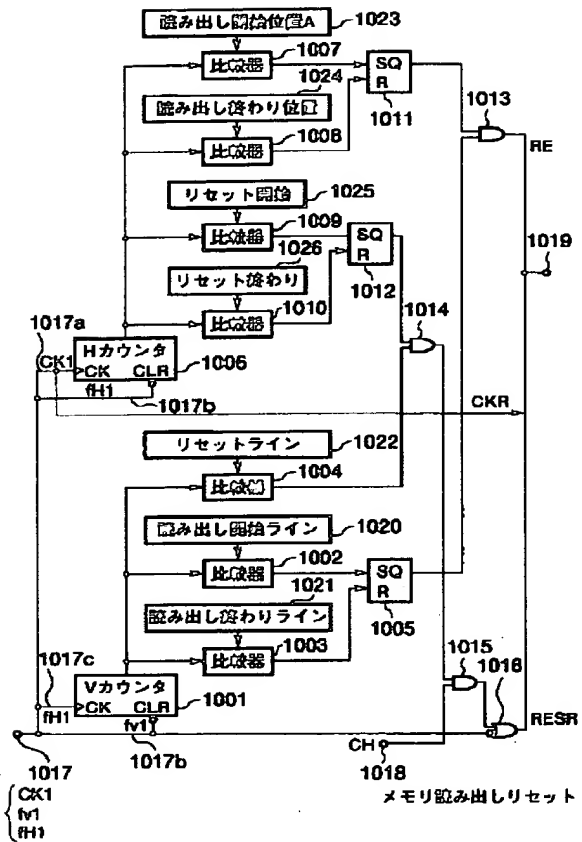
【图 14】



【図10】



【図12】



【図13】

